

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年 9月 5日

出願番号
Application Number:

特願2000-268539

出願人
Applicant(s):

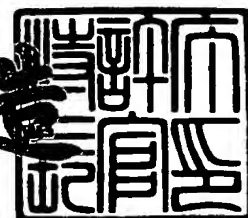
株式会社デンソー

#3
Priority
Office
6602

2001年 7月27日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3067015

【書類名】 特許願

【整理番号】 N000278

【提出日】 平成12年 9月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/56

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 二村 澄治

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 奥田 勝一

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

【代理人】

 【識別番号】 100071135

 【住所又は居所】 名古屋市中区栄四丁目 6 番 1 5 号 名古屋あおば生命ビル

 【弁理士】

 【氏名又は名称】 佐藤 強

 【電話番号】 052-251-2707

【手数料の表示】

 【予納台帳番号】 008925

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9200169

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 駆動回路

【特許請求の範囲】

【請求項 1】 電源線間にハイサイド側スイッチング回路とロウサイド側スイッチング回路とが出力端子を介して直列に接続され、前記出力端子に接続されたスイッチング素子をオンオフ駆動する駆動回路において、

前記出力端子の電圧を検出する電圧検出回路を備え、

前記ロウサイド側スイッチング回路は、前記電圧検出回路により検出された出力電圧が、前記スイッチング素子がオフ状態となる電圧範囲内で設定された所定のオフ判定電圧以下である場合に、オフ状態となるように構成されていることを特徴とする駆動回路。

【請求項 2】 電源線間にハイサイド側スイッチング回路とロウサイド側スイッチング回路とが出力端子を介して直列に接続され、前記出力端子に接続されたスイッチング素子をオンオフ駆動する駆動回路において、

前記出力端子の電圧を検出する電圧検出回路を備え、

前記ハイサイド側スイッチング回路は、前記電圧検出回路により検出された出力電圧が、前記スイッチング素子がオン状態となる電圧範囲内で設定された所定のオン判定電圧以上である場合に、オフ状態となるように構成されていることを特徴とする駆動回路。

【請求項 3】 電源線間にハイサイド側スイッチング回路とロウサイド側スイッチング回路とが出力端子を介して直列に接続され、前記出力端子に接続されたスイッチング素子をオンオフ駆動する駆動回路において、

前記出力端子の電圧を検出する電圧検出回路を備え、

前記ロウサイド側スイッチング回路は、前記電圧検出回路により検出された出力電圧が、前記スイッチング素子がオフ状態となる電圧範囲内で設定された所定のオフ判定電圧以下である場合に、オフ状態となるように構成され、

前記ハイサイド側スイッチング回路は、前記電圧検出回路により検出された出力電圧が、前記スイッチング素子がオン状態となる電圧範囲内で設定された所定のオン判定電圧以上である場合に、オフ状態となるように構成されていることを

特徴とする駆動回路。

【請求項 4】 前記ロウサイド側スイッチング回路は、
出力トランジスタと、
この出力トランジスタを駆動するプリドライブ回路と、
前記検出された出力電圧と前記オフ判定電圧とを比較する比較回路と、
この比較回路の比較結果に応じて前記プリドライブ回路の動作状態を制御する
論理回路とから構成されていることを特徴とする請求項 1 または 3 記載の駆動回
路。

【請求項 5】 前記ハイサイド側スイッチング回路は、
出力トランジスタと、
この出力トランジスタを駆動するプリドライブ回路と、
前記検出された出力電圧と前記オン判定電圧とを比較する比較回路と、
この比較回路の比較結果に応じて前記プリドライブ回路の動作状態を制御する
論理回路とから構成されていることを特徴とする請求項 2 または 3 記載の駆動回
路。

【請求項 6】 前記比較回路は、コンパレータにより構成されていることを
特徴とする請求項 4 または 5 記載の駆動回路。

【請求項 7】 前記比較回路は、判定用トランジスタを備え、この判定用ト
ランジスタの制御端子に前記検出された出力電圧が入力されるように構成されて
いることを特徴とする請求項 4 または 5 記載の駆動回路。

【請求項 8】 前記電圧検出回路は、抵抗分圧回路により構成されているこ
とを特徴とする請求項 1 ないし 7 の何れかに記載の駆動回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、電源線間にハイサイド側スイッチング回路とロウサイド側スイッ
チング回路とが出力端子を介して直列に接続され、その出力端子に接続されたスイ
ッチング素子をオンオフ駆動する駆動回路に関する。

【 0 0 0 2 】

【発明が解決しようとする課題】

この種の駆動回路の従来構成について、図 9 および図 10 を参照しながら説明する。図 10 は、駆動回路の電氣的構成を概略的に示している。IC として構成された駆動回路 1 は、入力端子 2 に与えられる制御信号 S_a に従って、出力端子 3 に接続されたスイッチング素子例えば N チャネル型 MOSFET 4 のゲートに対し駆動用の電圧 V_o を出力するように構成されている。この駆動回路 1 において、正側の電源線 5 と負側の電源線 6（以下、グランド線 6 と称す）との間には、ハイスайд側トランジスタ T_1 のコレクタ・エミッタ間、抵抗 R_1 、およびロウサイド側トランジスタ T_2 のコレクタ・エミッタ間が直列に接続され、抵抗 R_1 とトランジスタ T_2 のコレクタとの共通接続点が上記出力端子 3 に接続されている。

【0003】

さらに、駆動回路 1 は、プリドライブ回路 7、8、入力端子 2 とこれらプリドライブ回路 7、8 の入力端子との間に介在するトランジスタ T_3 、およびトランジスタ T_3 にバイアス電流を供給する定電流回路 CS_1 を備えている。プリドライブ回路 7、8 は、トランジスタ T_3 からの信号を受けて互いに反転した論理で動作し、それぞれトランジスタ T_1 、 T_2 を駆動するようになっている。

【0004】

すなわち、上記駆動回路 1 はプッシュプル回路であって、入力端子 2 に L レベルの制御信号 S_a が与えられると、トランジスタ T_3 がオフ、トランジスタ T_1 がオン、トランジスタ T_2 がオフとなり、MOSFET 4 のゲートには電源線 5 の電圧 V_b が印加されて MOSFET 4 がオン状態となる。また、入力端子 2 に H レベルの制御信号 S_a が与えられると、トランジスタ T_3 がオン、トランジスタ T_1 がオフ、トランジスタ T_2 がオンとなり、MOSFET 4 のゲートにはグランド線 6 の電圧（0 V）が印加されて MOSFET 4 がオフ状態となる。

【0005】

図 9 は、この駆動回路 1 の具体的な回路構成の一例を示している。ただし、この図 9 に示す駆動回路 1 のプリドライブ回路 7、8 は、回路構成を簡単化するために一部回路を共用化した構成となっている。すなわち、プリドライブ回路 7、

8は、トランジスタT1をオフさせるとともにトランジスタT2をオンさせるためのトランジスタT4、トランジスタT2をオフさせるためのトランジスタT5、トランジスタT4を駆動するためのトランジスタT6、および抵抗R2～R8から構成されている。

【0006】

ここで、Lレベルの制御信号SaによりトランジスタT3がオフすると、トランジスタT5、T6がオン、トランジスタT4がオフとなって、トランジスタT1がオン、トランジスタT2がオフとなる。また、Hレベルの制御信号SaによりトランジスタT3がオンすると、トランジスタT5、T6がオフ、トランジスタT4がオンとなって、トランジスタT1がオフ、トランジスタT2がオンとなる。

【0007】

ところで、MOSFET4には、そのゲート・ソース間およびゲート・ドレイン間にそれぞれ容量Cgsおよび容量Cgdが存在している。これらのゲート容量は、図10において等価的に破線で示されている。MOSFET4のターンオン時間およびターンオフ時間を短縮化し、MOSFET4を高速にスイッチング動作させるためには、駆動回路1に大きな電流出力能力を持たせ、オンオフ切り換え時において上記MOSFET4のゲート容量を大きな電流で充放電する必要がある。

【0008】

そこで、駆動回路1においては、MOSFET4がオン状態からオフ状態に切り換わる際、トランジスタT2がコレクタ電流としてMOSFET4のゲート容量の電荷を短時間で引き抜けるように、トランジスタT2のベース電流が大きく設定されている。また、MOSFET4がオフ状態からオン状態に切り換わる際、トランジスタT1がコレクタ電流としてMOSFET4のゲート容量を短時間で充電できるように、トランジスタT1のベース電流も大きく設定されている。こうしたベース電流の設定は、抵抗R4、R6などの抵抗値の設定により行われる。

【0009】

しかしながら、主として電源線 5 から抵抗 R 6 およびトランジスタ T 4 を介して流れるトランジスタ T 2 のベース電流は、オンオフ切り換え時のみならず、トランジスタ T 2 がオン状態（M O S F E T 4 がオフ状態）にある定常動作期間中にも継続して流れ続ける。従って、ターンオフ時間の短縮化のためにトランジスタ T 2 のベース電流を増やすほど、駆動回路 1 の消費電流が増大し、抵抗 R 4、R 6 などでの損失が定常的に増大して発熱が大きくなってしまう。特に、駆動回路 1 は I C 化されているので、発熱が大きいと I C として動作を保証する周囲温度を低下させてしまう。

【 0 0 1 0 】

また、具体的には図示しないが、例えばスイッチング素子として P チャネル型の M O S F E T を駆動する駆動回路においては、上述同様の理由によって、ハイサイド側のトランジスタ T 1 がオン状態にある定常動作期間中に大きなベース電流が流れ続け、やはり回路損失が増大してしまう。

【 0 0 1 1 】

本発明は、上記事情に鑑みてなされたものであり、その目的は、駆動対象であるスイッチング素子のスイッチング速度を低下させることなく、自らの消費電流および消費電力を低減可能な駆動回路を提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

請求項 1 に記載した手段によれば、ハイサイド側スイッチング回路がオン、ロウサイド側スイッチング回路がオフになると、出力端子つまりスイッチング素子の制御端子（ゲートまたはベース）にハイサイド側電源線の電圧が印加されてスイッチング素子がターンオンする。また、ハイサイド側スイッチング回路がオフ、ロウサイド側スイッチング回路がオンになると、制御端子にロウサイド側電源線の電圧が印加されてスイッチング素子がターンオフする。

【 0 0 1 3 】

一般に、スイッチング素子の制御端子と主端子（ソースおよびドレインまたはエミッタおよびコレクタ）との間には容量成分（ゲート容量またはベース容量）が存在するので、スイッチング素子を高速にスイッチング動作させるために、ハ

イサイド側スイッチング回路およびロウサイド側スイッチング回路は大きな電流出力能力を有している。これに伴って、ハイサイド側スイッチング回路およびロウサイド側スイッチング回路は、そのオン状態において大きな電流を消費してしまう。

【 0 0 1 4 】

本駆動回路は、電圧検出回路により検出された出力電圧がオフ判定電圧よりも高い場合、つまりスイッチング素子がターンオフ過程にある場合には、ロウサイド側スイッチング回路をオン状態に保つので、スイッチング素子の制御端子に対し十分な駆動電流が供給され、従来回路と同程度に短いターンオフ時間を得られる。また、本駆動回路は、電圧検出回路により検出された出力電圧がオフ判定電圧以下である場合、つまりスイッチング素子がオフ状態にある場合には、ロウサイド側スイッチング回路をオフ状態に保つので、ロウサイド側スイッチング回路の消費電流を低減することができる。

【 0 0 1 5 】

その結果、駆動回路全体としての消費電力（つまり発熱）が小さくなって、従来よりも周囲温度が高い環境下においても本駆動回路を使用可能となる。本駆動回路は、スイッチング素子をオフ状態とする時間が長いほど、消費電流および消費電力の低減効果が大きくなる。

【 0 0 1 6 】

請求項 2 に記載した手段によれば、電圧検出回路により検出された出力電圧がオン判定電圧よりも低い場合、つまりスイッチング素子がターンオン過程にある場合には、ハイサイド側スイッチング回路がオン状態に保たれるので、スイッチング素子の制御端子に対し十分な駆動電流が供給され、従来回路と同程度に短いターンオン時間を得られる。また、本駆動回路は、電圧検出回路により検出された出力電圧がオン判定電圧以上である場合、つまりスイッチング素子がオン状態にある場合には、ハイサイド側スイッチング回路をオフ状態に保つので、ハイサイド側スイッチング回路の消費電流および消費電力を低減することができる。

【 0 0 1 7 】

その結果、駆動回路全体としての発熱が小さくなって、従来よりも周囲温度が

高い環境下においても本駆動回路を使用可能となる。本駆動回路は、スイッチング素子をオン状態とする時間が長いほど、消費電流および消費電力の低減効果が大きくなる。

【 0 0 1 8 】

請求項 3 に記載した手段によれば、請求項 1 に記載した構成と請求項 2 に記載した構成とをともに有しているので、従来回路と同程度に短いターンオフ時間とターンオン時間とを確保しつつロウサイド側スイッチング回路およびハイサイド側スイッチング回路の消費電流を低減することができる。その結果、スイッチング素子のオンオフ駆動パターンにかかわらず、駆動回路の消費電力（つまり発熱）を小さくすることができる。

【 0 0 1 9 】

請求項 4 に記載した手段によれば、論理回路は、比較回路から出力電圧がオフ判定電圧よりも高いという比較結果を受けると、プリドライブ回路が出力トランジスタをオン駆動するように当該プリドライブ回路を制御し、比較回路から出力電圧がオフ判定電圧以下であるという比較結果を受けると、プリドライブ回路が出力トランジスタをオフ駆動するように当該プリドライブ回路を制御する。この制御により、出力電圧がオフ判定電圧以下である場合における出力トランジスタのベース電流（またはゲート駆動電流）をカットして、消費電流を低減することができる。

【 0 0 2 0 】

請求項 5 に記載した手段によれば、論理回路は、比較回路から出力電圧がオン判定電圧よりも低いという比較結果を受けると、プリドライブ回路が出力トランジスタをオン駆動するように当該プリドライブ回路を制御し、比較回路から出力電圧がオン判定電圧以上であるという比較結果を受けると、プリドライブ回路が出力トランジスタをオフ駆動するように当該プリドライブ回路を制御する。この制御により、出力電圧がオン判定電圧以上である場合における出力トランジスタのベース電流（またはゲート駆動電流）をカットして、消費電流を低減することができる。

【 0 0 2 1 】

請求項 6 に記載した手段によれば、比較回路としてのコンパレータが、電圧検出回路により検出された出力電圧とオフ判定電圧またはオン判定電圧とを比較して、H レベルまたは L レベルの比較結果を出力する。

【 0 0 2 2 】

請求項 7 に記載した手段によれば、電圧検出回路により検出された出力電圧が判定用トランジスタのオンしきい値よりも低い場合には、比較結果として判定用トランジスタがオフとなり、前記検出された出力電圧が判定用トランジスタのオンしきい値よりも高い場合には、比較結果として判定用トランジスタがオンとなる。

【 0 0 2 3 】

請求項 8 に記載した手段によれば、出力電圧は抵抗分圧回路により分圧されて検出されるので、この抵抗分圧比を適宜設定することにより、オフ判定電圧レベルおよびオン判定電圧レベルをスイッチング素子のオンしきい値特性に応じて任意に設定可能となる。

【 0 0 2 4 】

【発明の実施の形態】

(第 1 の実施形態)

以下、本発明の第 1 の実施形態について、図 1 ないし図 4 を参照しながら説明する。

図 2 には、駆動回路（1 チャンネル分）の電氣的構成が概略的に示されている。この図 2 に示される駆動回路 1 1 の例えば 6 チャンネル分の回路が、図示しない他の回路とともにエンジン制御用の IC を構成している。駆動回路 1 1 は、図示しない CPU から上記 IC の入力端子 1 2 に与えられる制御信号 S a に従って、上記 IC の出力端子 1 3 に接続されたスイッチング素子例えば N チャンネル型の MOS FET 1 4 のゲートに対して駆動用の電圧 V o を出力するように構成されている。

【 0 0 2 5 】

MOS FET 1 4 のドレインと図示しないバッテリーの正側端子との間には、図示しないソレノイドなどの負荷が接続されている。また、MOS FET 1 4 のソ

ースは、前記バッテリーの負側端子に繋がるパワー用のグランド線 1 5 に接続されている。一般に、M O S F E T 1 4 のゲート・ソース間およびゲート・ドレイン間には、それぞれ容量 C_{gs} および容量 C_{gd} が存在している。これらのゲート容量は、図 2 において等価的に破線で示されている。

【 0 0 2 6 】

上記 I C 内部の正側の電源線 1 6 と負側の電源線 1 7 (以下、グランド線 1 7 と称す) には、バッテリーから図示しないイグニッションスイッチを介して電源電圧 V_b (例えば 1 4 V) が供給されている。これら電源線 1 6 とグランド線 1 7 との間には、N P N 型トランジスタ T 1 1 のコレクタ・エミッタ間、抵抗 R 1 1 、および N P N 型トランジスタ T 1 2 のコレクタ・エミッタ間が直列に接続され、抵抗 R 1 1 とトランジスタ T 1 2 のコレクタとの共通接続点が上記出力端子 1 3 に接続されている。トランジスタ T 1 1 、T 1 2 は、それぞれハイサイド側の出力トランジスタ、ロウサイド側の出力トランジスタに相当する。

【 0 0 2 7 】

駆動回路 1 1 は、トランジスタ T 1 1 を制御するための出力制御回路 1 8 、トランジスタ T 1 2 を制御するための出力制御回路 1 9 、入力端子 1 2 と出力制御回路 1 7 、1 8 の各入力端子との間に介在する N P N 型のトランジスタ T 1 3 、およびトランジスタ T 1 3 にバイアス電流を供給する定電流回路 C S 1 1 を備えている。また、出力端子 1 3 とグランド線 1 7 との間には、出力端子 1 3 の電圧 (出力電圧 V_o) を検出するための電圧検出回路 2 0 が設けられている。ここで、トランジスタ T 1 1 と出力制御回路 1 8 とがハイサイド側スイッチング回路に相当し、トランジスタ T 1 2 と出力制御回路 1 9 とがロウサイド側スイッチング回路に相当する。

【 0 0 2 8 】

図 1 には、駆動回路 1 1 の具体的な回路構成が示されている。この図 1 において、定電流回路 C S 1 2 、C S 1 4 ~ C S 1 7 、N P N 型のトランジスタ T 1 4 、T 1 5 、T 1 7 ~ T 2 0 、および抵抗 R 1 2 ~ R 1 7 により論理回路 2 1 が構成され、定電流回路 C S 1 3 と N P N 型のトランジスタ T 1 6 (判定用トランジスタに相当) により比較回路 2 2 が構成されている。

【 0 0 2 9 】

また、PNP型のトランジスタT21、NPN型のトランジスタT22、T23、および抵抗R18～R20によりハイサイド側のプリドライブ回路23が構成され、PNP型のトランジスタT24、NPN型のトランジスタT25、T26、および抵抗R21～R24によりロウサイド側のプリドライブ回路24が構成されている。

【 0 0 3 0 】

図2に示す出力制御回路18は、図1に示す論理回路21およびプリドライブ回路22から構成され、図2に示す出力制御回路19は、図1に示す論理回路21、比較回路22、およびプリドライブ回路24から構成されている。このように、図1に示す回路にあっては、出力制御回路18と19とは一部の回路（論理回路21）について共用化された回路構成となっている。

【 0 0 3 1 】

論理回路21において、定電流回路CS12とグランド線17との間には、トランジスタT14とT15の各コレクタ・エミッタ間が並列に接続され、定電流回路CS14～CS17とグランド線17との各間には、それぞれトランジスタT17～T20のコレクタ・エミッタ間が接続されている。トランジスタT14、T17、T18の各ベースは、それぞれ抵抗R13、R14、R15を介してトランジスタT13のコレクタに接続され、トランジスタT19、T20の各ベースは、それぞれ抵抗R16、R17を介してトランジスタT18のコレクタに接続されている。また、トランジスタT15のベースには、トランジスタT16のコレクタが接続されている。

【 0 0 3 2 】

プリドライブ回路23において、電源線16とグランド線17との間には、抵抗R18、R19、トランジスタT22のコレクタ・エミッタ間が直列に接続されているとともに、トランジスタT21のエミッタ・コレクタ間、抵抗R20、トランジスタT23のコレクタ・エミッタ間が直列に接続されている。トランジスタT21、T22、T23の各ベースは、それぞれ抵抗R18とR19との共通接続点、トランジスタT20のコレクタ、トランジスタT17のコレクタに接

続されており、トランジスタ T 2 3 のコレクタは上記トランジスタ T 1 1 のベースに接続されている。

【 0 0 3 3 】

ブリドライブ回路 2 4 において、電源線 1 6 とグランド線 1 7 との間には、抵抗 R 2 1、R 2 2、トランジスタ T 2 5 のコレクタ・エミッタ間が直列に接続されているとともに、トランジスタ T 2 4 のエミッタ・コレクタ間、抵抗 R 2 3、トランジスタ T 2 6 のコレクタ・エミッタ間が直列に接続されている。トランジスタ T 2 4、T 2 5、T 2 6 の各ベースは、それぞれ抵抗 R 2 1 と R 2 2 との共通接続点、トランジスタ T 1 4 および T 1 5 のコレクタ、トランジスタ T 1 9 のコレクタに接続されており、トランジスタ T 2 6 のコレクタは上記トランジスタ T 1 2 のベースに接続されている。なお、トランジスタ T 1 2 のベース・エミッタ間には抵抗 R 2 4 が接続されている。

【 0 0 3 4 】

電圧検出回路 2 0 は、出力端子 1 3 とグランド線 1 7 との間に直列接続された抵抗 R 2 5、R 2 6 からなる抵抗分圧回路により構成されており、この電圧検出回路 2 0 により検出された検出出力電圧 V_p は、抵抗 R 2 7 を介してトランジスタ T 1 6 のベースに印加されるようになっている。ここで、出力電圧 V_o と検出出力電圧 V_p とは以下の (1) 式の関係の有している。なお、本実施形態においては、抵抗 R 1 1 ~ R 2 7 の各抵抗値を、それぞれ符号と同じ R 1 1 ~ R 2 7 を用いて表している。

$$V_p = R_{26} / (R_{25} + R_{26}) \cdot V_o \quad \dots (1)$$

【 0 0 3 5 】

また、本実施形態においては、電圧検出回路 2 0 に流れる電流が小さくなるように $R_{25} = 1 \text{ k}\Omega$ 、 $R_{26} = 100 \text{ k}\Omega$ に設定したため、近似的には以下の (2) 式が成立するようになっている。

$$V_p = V_o \quad \dots (2)$$

【 0 0 3 6 】

次に、本実施形態の作用について図 3 および図 4 も参照しながら説明する。

まず、入力端子 1 2 に与えられる制御信号 S_a のレベル変化時における駆動回

路 11 の動作について説明する。なお、本実施形態において、L レベルとはトランジスタの V_f (約 0.7 V) よりも低い電圧 (例えば 0 V) を意味し、H レベルとはトランジスタの V_f 以上の電圧を意味している。また、本実施形態で用いられる制御信号 S_a は、例えば 4 ms 周期の H レベルパルス信号 (パルス幅: 200 μ s ~ 400 μ s) である。

【0037】

(1) 制御信号 S_a が H レベルから L レベルに変化する場合

トランジスタ T13 がオフ、トランジスタ T14、T17、T18 がオン、トランジスタ T19、T20 がオフとなる。トランジスタ T14 がオンするため、トランジスタ T14、T15 のコレクタ電圧は、検出出力電圧 V_p の大きさにかかわらず L レベルとなる。

【0038】

論理回路 21 による上記動作により、ハイサイド側にあつては、トランジスタ T22 がオン、トランジスタ T23 がオフとなり、トランジスタ T21 およびトランジスタ T11 がオンとなる。また、ロウサイド側にあつては、トランジスタ T25 がオフ、トランジスタ T26 がオンとなり、トランジスタ T24 およびトランジスタ T12 がオフとなる。

【0039】

その結果、駆動回路 11 は、制御信号 S_a のレベル変化時において、電源線 16 からトランジスタ T11、抵抗 R11、出力端子 13 を介して MOSFET 14 のゲート容量に対して充電電流を出力する。このゲート容量の充電すなわちゲート駆動に伴って、出力電圧 V_o は 0 V からほぼ電圧 V_b に等しいレベルにまで急上昇し、その出力電圧 V_o が MOSFET 14 のしきい値 V_{th} 以上になると MOSFET 14 がオン状態に移行する。

【0040】

(2) 制御信号 S_a が L レベルから H レベルに変化する場合

トランジスタ T13 がオン、トランジスタ T14、T17、T18 がオフ、トランジスタ T19、T20 がオンとなる。これにより、ハイサイド側にあつては、トランジスタ T22 がオフ、トランジスタ T23 がオンとなり、トランジスタ

T 2 1 およびトランジスタ T 1 1 がオフとなる。これに対し、トランジスタ T 1 4、T 1 5 のコレクタ電圧、ひいてはロウサイド側のトランジスタ T 2 4、T 2 5、T 1 2 のオンオフ状態は、出力電圧 V_o の大きさに応じて決定される。

【 0 0 4 1 】

すなわち、制御信号 S_a が L レベルから H レベルに変化した後、出力電圧 V_o が以下の (3) 式を満たしている期間は、トランジスタ T 1 6 がオンとなり、これによりトランジスタ T 1 5 がオフとなる。

$$V_o \geq (R_{25} + R_{26}) / R_{26} \cdot V_f \quad \dots (3)$$

【 0 0 4 2 】

この期間、トランジスタ T 1 4、T 1 5 のコレクタ電圧は H レベルとなる。これにより、ロウサイド側のトランジスタ T 2 5 がオン、トランジスタ T 2 6 がオフとなり、トランジスタ T 2 4 およびトランジスタ T 1 2 がオンとなる。

【 0 0 4 3 】

その結果、駆動回路 1 1 は、MOSFET 1 4 のゲート容量に蓄積された電荷を、出力端子 1 3 およびトランジスタ T 1 2 を介してグランド線 1 7 へと放電させる。このゲート容量の放電すなわちゲート駆動に伴って、出力電圧 V_o はほぼ電圧 V_b に等しい電圧レベルから急激に下降し、その出力電圧 V_o が MOSFET 1 4 のしきい値 V_{th} 未満になると MOSFET 1 4 がオフ状態に移行する。

【 0 0 4 4 】

MOSFET 1 4 がオフ状態に移行した後、出力電圧 V_o がさらに低下して以下の (4) 式を満たすようになると、トランジスタ T 1 6 がオフとなり、これによりトランジスタ T 1 5 がオンとなる。この (4) 式の右辺により計算される電圧は、本発明におけるオフ判定電圧に相当し、このオフ判定電圧は MOSFET 1 4 のしきい値 V_{th} よりも低い値となるように設定されている。

$$V_o < (R_{25} + R_{26}) / R_{26} \cdot V_f \quad \dots (4)$$

【 0 0 4 5 】

そして、トランジスタ T 1 6 がオフ（トランジスタ T 1 5 がオン）になると、ロウサイド側のトランジスタ T 2 5 がオンからオフに変化し、その結果トランジスタ T 2 4 およびトランジスタ T 1 2 がオンからオフに変化する。

【 0 0 4 6 】

このように、制御信号 S_a が L レベルから H レベルに変化する場合には、少なくとも MOSFET 1 4 がオン状態からオフ状態に移行するまでの期間においては、ロウサイド側のトランジスタ T 1 2 がオンとなって、ゲート容量に蓄積された電荷が急速に引き抜かれる。そして、MOSFET 1 4 がオフ状態の下で (4) 式の条件が満たされている場合において、ハイサイド側のトランジスタ T 1 1 に加えロウサイド側のトランジスタ T 1 2 もオフ状態となる。

【 0 0 4 7 】

この場合、電圧検出回路 2 0 を構成する抵抗 R 2 5、R 2 6 は、MOSFET 1 4 のゲートに対してプルダウン抵抗として機能するので、トランジスタ T 1 1、T 1 2 がともにオフ状態となっても、MOSFET 1 4 のゲートがハイインピーダンスの状態になることはない。また、例えばノイズの混入によりゲート電圧がオフ判定電圧以上に上昇すると、ロウサイド側のトランジスタ T 1 2 が直ちにオンしてゲート電圧を低下させる。このため、MOSFET 1 4 が誤ってオン状態となることがなくなる。

【 0 0 4 8 】

続いて、本実施形態の駆動回路 1 1、および「発明が解決しようとする課題」において従来構成として説明した駆動回路 1 (図 9 参照) について、制御信号 S_a が H レベルの場合における消費電流および消費電力を計算する。

【 0 0 4 9 】

(1) 駆動回路 1 1 (本実施形態)

ロウサイド側のトランジスタ T 1 2 がオフ状態となることにより低減される消費電流は (5) 式の通りである。

$$\begin{aligned} \text{低減される消費電流} = & (V_b - V_{BE}(T24) - V_{CE}(T25)) / R_{22} \\ & + (V_b - V_{BE}(T12) - V_{CE}(T24)) / R_{23} + V_{BE}(T24) / R_{21} \\ & \dots (5) \end{aligned}$$

【 0 0 5 0 】

トランジスタ T 1 2 がオフ状態の場合における消費電流および消費電力は、それぞれ以下の (6) 式および (7) 式のようになる。ここで、 I_{CS} は定電流回路

CS11～CS17の電流値である。

$$\text{消費電流} = 7 \cdot I_{CS} \quad \dots (6)$$

$$\begin{aligned} \text{消費電力} = & 4 \cdot I_{CS} \cdot V_{CE} + 3 \cdot I_{CS} \cdot V_{BE} \\ & + V_{BE}^2 / (R_{25} + R_{26}) \quad \dots (7) \end{aligned}$$

【0051】

この(7)式において、第1項は、定電流回路CS11、CS12、CS16、CS17の電流による消費電力で、第2項は、定電流回路CS13、CS14、CS15の電流による消費電力である。また第3項は、トランジスタT12がオフ状態となった時の出力電圧 V_o ($V_{BE}(T16)$) による消費電力である。

【0052】

ここで、実際の回路における設計値として、 $V_b = 14\text{ V}$ 、 $V_{BE} = 0.7\text{ V}$ 、 $V_{CE} = 0.05\text{ V}$ 、 $R_{25} = 1\text{ k}\Omega$ 、 $R_{26} = 100\text{ k}\Omega$ 、 $I_{CS} = 50\text{ }\mu\text{ A}$ を用いて上記(6)式および(7)式を計算すると、消費電流 $= 0.35\text{ mA}$ 、消費電力 $= 0.12\text{ mW}$ となる。

【0053】

(2) 駆動回路1 (従来回路)

$$\begin{aligned} \text{消費電流} = & I_{CS} + (V_b - V_{BE}(T2) - V_{BE}(T4)) / R_4 \\ & + (V_b - V_{BE}(T2) - V_{CE}(T4)) / R_6 \quad \dots (8) \end{aligned}$$

$$\begin{aligned} \text{消費電力} = & I_{CS} \cdot V_{CE}(T3) + V_b \cdot (V_b - V_{BE}(T2) - V_{BE}(T4)) / R_4 \\ & + V_b \cdot (V_b - V_{BE}(T2) - V_{CE}(T4)) / R_6 \quad \dots (9) \end{aligned}$$

【0054】

ここで、実際の回路における設計値として、 $V_b = 14\text{ V}$ 、 $V_{BE} = 0.7\text{ V}$ 、 $V_{CE} = 0.05\text{ V}$ 、 $R_4 = 24\text{ k}\Omega$ 、 $R_6 = 3.9\text{ k}\Omega$ 、 $I_{CS} = 50\text{ }\mu\text{ A}$ を用いて上記(8)式および(9)式を計算すると、消費電流 $= 3.97\text{ mA}$ 、消費電力 $= 54.91\text{ mW}$ となる。

【0055】

従って、本実施形態の駆動回路11と従来構成の駆動回路1とについて、制御信号 S_a がHレベルの場合における消費電流および消費電力を比較すると、駆動回路11の方が消費電流として 3.62 mA 、消費電力として 54.79 mW だ

け低減する。消費電力が低減したことに伴って、駆動回路 11 の発熱も小さくなる。

【0056】

なお、ここでは駆動回路 11 を駆動回路 1 と比較したが、駆動回路 11 を当該駆動回路 11 から本発明の特徴部分である電圧検出回路 20 と比較回路 22 とを除いた駆動回路と比較した場合であっても、制御信号 S a が H レベルの場合における消費電流および消費電力は、駆動回路 11 の方が低減される。

【0057】

図 3 および図 4 は、それぞれ駆動回路 11 および駆動回路 1 について、制御信号 S a を H レベル、L レベル、H レベルと変化させた場合における消費電流のシミュレーション波形を示している。これら、図 3 および図 4 において、横軸は時間 (μs)、縦軸は消費電流 (A) を示しており、回路定数は上述した値を使用している。

【0058】

制御信号 S a が H レベルの期間 ($0 \sim 10 \mu s$ 、 $20 \sim 30 \mu s$) において、図 3 に示す駆動回路 11 の消費電流は、図 4 に示す駆動回路 1 の消費電流に比べて十分に低減していることが分かる。

【0059】

また、駆動回路 11 の場合、制御信号 S a が H レベルから L レベルに変化する時、トランジスタ T 11、T 12 がともにオフの状態からトランジスタ T 11 がオン状態に移行するので、トランジスタ T 11 および T 12 を通過する貫通電流が流れない。このため、制御信号 S a が H レベルから L レベルに変化する時に一時的に流れる消費電流は、MOSFET 14 のゲート容量の充電電流によるもののみとなり、その消費電流 (最大値 0.1 A) は、貫通電流が流れる駆動回路 1 の消費電流 (最大値 0.24 A) に比べて小さくなる。

【0060】

なお、制御信号 S a が L レベルから H レベルに変化する時、駆動回路 11 の消費電流がわずかに増加しているが、これはシミュレーションに用いた PNP 型のトランジスタ T 21 のターンオフ時間が長いために、貫通電流が発生しているこ

とによる。この貫通電流は、トランジスタ T 2 1 に高速タイプのトランジスタを採用することにより抑制することができる。

【 0 0 6 1 】

以上説明したように、本実施形態の駆動回路 1 1 は、電源線 1 6 とグランド線 1 7 との間に出力端子 1 3 を挟んでハイサイド側のトランジスタ T 1 1 とロウサイド側のトランジスタ T 1 2 とが直列接続された構成を備えるとともに、これらトランジスタ T 1 1、T 1 2 が大きな電流駆動能力を持つように、トランジスタ T 1 1、T 1 2 に対しそれぞれ大きなベース電流を供給可能なプリドライブ回路 2 3、2 4 を備えている。

【 0 0 6 2 】

従って、駆動回路 1 1 は、プリドライブ回路 2 3 を用いてトランジスタ T 1 1 をオンすることにより、出力端子 1 3 に接続された MOSFET 1 4 のゲート容量を大電流で充電でき、MOSFET 1 4 のターンオン時間を短縮できる。また、駆動回路 1 1 は、プリドライブ回路 2 4 を用いてトランジスタ T 1 2 をオンすることにより、MOSFET 1 4 のゲート容量を大電流で放電でき、MOSFET 1 4 のターンオフ時間を短縮できる。

【 0 0 6 3 】

さらに、駆動回路 1 1 は、出力電圧 V_o （つまり MOSFET 1 4 のゲート電圧）を検出する電圧検出回路 2 0 と、その検出された出力電圧 V_o と MOSFET 1 4 のしきい値 V_{th} よりも低く設定されたオフ判定電圧とを比較する比較回路 2 2 とを備え、出力電圧 V_o がオフ判定電圧よりも低下している場合にプリドライブ回路 2 4 をオフ状態としてトランジスタ T 1 2 へのベース電流の供給を停止するよう構成されている。

【 0 0 6 4 】

この構成により、MOSFET 1 4 がターンオフ過程にある場合には、トランジスタ T 1 2 がオンとなって MOSFET 1 4 が急速にターンオフし、MOSFET 1 4 がターンオフした後は、プリドライブ回路 2 4 に流れる電流（トランジスタ T 1 2 のベース電流を含む）がカットされて消費電流、消費電力が低減する。その結果、従来の駆動回路 1 と比較して、（ターンオン時間は勿論）ターンオ

フ時間を増大させることなく、駆動回路11が形成されたICの発熱を低減することができる。これにより、上記ICは、従来の駆動回路1が形成されたICよりも周囲温度が高い環境下において使用可能になるとともに、より多くの駆動回路11（より多くのチャンネル）を内蔵した状態で使用可能となる。

【0065】

この駆動回路11は、MOSFET14がオフ状態にある時間が長いほど消費電流および消費電力の低減効果が大きくなる。また、電圧検出回路20を構成する抵抗R25、R26が、MOSFET14のゲートに対してプルダウン抵抗として機能するので、トランジスタT11、T12がオフとなってもMOSFET14は安定してオフ状態に保持される。

【0066】

（第2の実施形態）

次に、本発明の第2の実施形態について、駆動回路（1チャンネル分）の電氣的構成を概略的に示す図6および具体的に示す図5を参照しながら説明する。上述した第1の実施形態は、Nチャンネル型のMOSFET14がオフ状態にある場合の消費電力を低減するように構成されていたのに対し、本実施形態は、Pチャンネル型のMOSFETがオフ状態にある場合の消費電力を低減するように構成されている点を異にする。なお、図5および図6において、それぞれ図1および図2と同一構成部分には同一符号を付して示し、ここでは異なる構成部分について説明する。

【0067】

図6において、駆動回路25が形成されたICの出力端子13には、スイッチング素子としてPチャンネル型のMOSFET26のゲートが接続されている。このMOSFET26のドレインは、図示しないソレノイドなどの負荷に接続されており、MOSFET26のソースは、バッテリーの正側端子に繋がるパワー用の電源線27に接続されている。MOSFET26にも、破線で示すゲート容量 C_{gs} 、 C_{gd} が存在する。

【0068】

駆動回路25は、トランジスタT11を駆動するための出力制御回路28およ

びトランジスタT12を制御するための出力制御回路29を備えている。また、出力端子13と電源線16との間には、出力端子13の電圧（出力電圧 V_o ）を検出するための電圧検出回路30が設けられている。ここで、トランジスタT11と出力制御回路28とがハイサイド側スイッチング回路に相当し、トランジスタT12と出力制御回路29とがロウサイド側スイッチング回路に相当する。なお、本実施形態でいう出力電圧 V_o は、電源線16の電位を基準電位とするとともに、負方向（つまり電源線16の電位から下がる方向）を正方向の電圧としている。

【0069】

図5において、比較回路32は、定電流回路CS18とNPN型のトランジスタT29（判定用トランジスタに相当）とから構成されている。トランジスタT29のベース・エミッタ間には抵抗R28が接続されている。また、論理回路31において、トランジスタT20にはトランジスタT28が並列に接続されており、そのトランジスタT28のベースは上記トランジスタT29のコレクタに接続されている。

【0070】

電圧検出回路30は、出力端子13と電源線16との間に直列接続された抵抗R29とR30との抵抗分圧回路、エミッタが電源線16に接続されたPNP型のトランジスタT27、このトランジスタT27のベースと前記抵抗分圧回路の分圧点との間に接続された抵抗R31とから構成されている。トランジスタT27のベースは、抵抗R32を介して上記トランジスタT29のベースに接続されている。

【0071】

次に、本実施形態の作用について説明する。

入力端子12に与えられる制御信号Saのレベル変化時における動作は、以下のようなになる。

【0072】

(1) 制御信号SaがHレベルからLレベルに変化する場合

トランジスタT13がオフ、トランジスタT14、T17、T18がオン、ト

ランジスタ T 1 9、T 2 0 がオフとなる。これにより、ロウサイド側にあつては、トランジスタ T 2 5 がオフ、トランジスタ T 2 6 がオンとなり、トランジスタ T 2 4 およびトランジスタ T 1 2 がオフとなる。これに対し、トランジスタ T 2 0、T 2 8 のコレクタ電圧、ひいてはハイサイド側のトランジスタ T 2 2、T 1 1 のオンオフ状態は、出力電圧 V_o の大きさに応じて決定される。

【 0 0 7 3 】

すなわち、制御信号 S_a が H レベルから L レベルに変化した後、出力電圧 V_o が以下の (1 0) 式を満たしている期間は、トランジスタ T 2 7、T 2 9 がオンとなり、これによりトランジスタ T 2 8 がオフとなる。

$$V_o \geq (R_{29} + R_{30}) / R_{30} \cdot V_f \quad \dots (10)$$

【 0 0 7 4 】

この期間、トランジスタ T 2 0、T 2 8 のコレクタ電圧は H レベルとなる。これにより、ハイサイド側のトランジスタ T 2 2 がオン、トランジスタ T 2 3 がオフとなり、トランジスタ T 2 1 およびトランジスタ T 1 1 がオンとなる。

【 0 0 7 5 】

その結果、駆動回路 2 5 は、MOSFET 2 6 のゲート容量に蓄積された電荷を、出力端子 1 3 およびトランジスタ T 1 1 を介して電源線 1 6 へと放電させる。これにより、出力電圧 V_o がしきい値 V_{th} 未満になると MOSFET 2 6 がオフ状態に移行する。

【 0 0 7 6 】

MOSFET 2 6 がオフ状態に移行した後、出力電圧 V_o がさらに低下して以下の (1 1) 式を満たすようになると、トランジスタ T 2 7、T 2 9 がオフとなり、これによりトランジスタ T 2 8 がオンとなる。この (1 1) 式の右辺により計算される電圧は、本発明におけるオフ判定電圧に相当し、このオフ判定電圧は MOSFET 2 6 のしきい値 V_{th} よりも低い値となるように設定されている。

$$V_o < (R_{29} + R_{30}) / R_{30} \cdot V_f \quad \dots (11)$$

【 0 0 7 7 】

そして、トランジスタ T 2 9 がオフ (トランジスタ T 2 8 がオン) になると、ハイサイド側のトランジスタ T 2 2 がオンからオフに変化し、その結果トランジ

スタ T 2 1 およびトランジスタ T 1 1 がオンからオフに変化する。なお、電圧検出回路 3 0 を構成する抵抗 R 2 9、R 3 0 は、M O S F E T 2 6 のゲートに対してプルアップ抵抗として機能する。

【 0 0 7 8 】

(2) 制御信号 S a が L レベルから H レベルに変化する場合

トランジスタ T 1 3 がオン、トランジスタ T 1 4、T 1 7、T 1 8 がオフ、トランジスタ T 1 9、T 2 0 がオンとなる。トランジスタ T 2 0 がオンするため、トランジスタ T 1 9、T 2 0 のコレクタ電位は、検出出力電圧 V p の大きさにかかわらず L レベルとなる。

【 0 0 7 9 】

その結果、ハイサイド側にあつては、トランジスタ T 2 2 がオフ、トランジスタ T 2 3 がオンとなり、トランジスタ T 2 1 およびトランジスタ T 1 1 がオフとなる。また、ロウサイド側にあつては、トランジスタ T 2 5 がオン、トランジスタ T 2 6 がオフとなり、トランジスタ T 2 4 およびトランジスタ T 1 2 がオンとなる。出力電圧 V o が M O S F E T 2 6 のしきい値 V th 以上になると、M O S F E T 2 6 がオン状態に移行する。

【 0 0 8 0 】

以上説明したように、本実施形態の駆動回路 2 5 は、電源線 1 6 の電位を基準とした出力電圧 V o を検出する電圧検出回路 3 0 と、その検出された出力電圧 V o と M O S F E T 2 6 のしきい値 V th よりも低く設定されたオフ判定電圧とを比較する比較回路 3 2 とを備え、出力電圧 V o がオフ判定電圧よりも低下している場合にプリドライブ回路 2 3 をオフ状態としてトランジスタ T 1 1 へのベース電流の供給を停止するよう構成されている。

【 0 0 8 1 】

従つて、M O S F E T 2 6 がターンオフ過程にある場合には、トランジスタ T 1 1 がオンとなつて M O S F E T 2 6 が急速にターンオフし、M O S F E T 2 6 がターンオフした後は、プリドライブ回路 2 3 に流れる電流（トランジスタ T 1 1 のベース電流を含む）がカットされて駆動回路 2 5 の消費電流および消費電力が低減する。その結果、第 1 の実施形態と同様の効果が得られる。また、駆動回

路 2 5 は、M O S F E T 2 6 がオフ状態にある時間が長いほど、消費電力の低減効果が大きくなる。

【 0 0 8 2 】

(第 3 の実施形態)

次に、本発明の第 3 の実施形態について、駆動回路の電氣的構成を概略的に示す図 7 を参照しながら説明する。なお、図 7 において、上述した図 2 または図 6 と同一構成部分には同一符号を付して示し、ここでは異なる構成部分について説明する。

【 0 0 8 3 】

図 7 に示す駆動回路 3 3 は、N チャネル型の M O S F E T 1 4 を駆動するためのもので、図 2 に示す駆動回路 1 1 と図 6 に示す駆動回路 2 5 とを組み合わせた回路構成となっている。すなわち、トランジスタ T 1 1 を駆動するための出力制御回路 3 4 は、出力制御回路 1 8、2 8 の両回路を含んだ構成となっており、トランジスタ T 1 2 を制御するための出力制御回路 3 5 は、出力制御回路 1 9、2 9 の両回路を含んだ構成となっている。

【 0 0 8 4 】

また、駆動回路 3 3 は、電圧検出回路 2 0 と 3 0 とを備えている。この場合、上述した (1 1) 式の右辺により計算される電圧は、本発明におけるオン判定電圧に相当し、このオン判定電圧は M O S F E T 1 4 がオン状態となる電圧範囲内の値に設定されている。

【 0 0 8 5 】

上記構成を有する駆動回路 3 3 によれば、制御信号 S a のレベル変化に応じて M O S F E T 1 4 がターンオンまたはターンオフする時には、それぞれハイサイド側のトランジスタ T 1 1 またはロウサイド側のトランジスタ T 1 2 がオンすることにより大きな電流で M O S F E T 1 4 のゲート容量を充放電できるで、ターンオン時間またはターンオフ時間が増加することがない。

【 0 0 8 6 】

そして、M O S F E T 1 4 がオン状態またはオフ状態に移行した後の定常状態においては、ブリドライブ回路 3 4、3 5 がともにオフ状態となって、トランジ

スタ T 1 1、T 1 2 へのベース電流がともにカットされるので、M O S F E T 1 4 の動作パターン（オン状態とオフ状態の割合）に関わらず駆動回路 3 3 の消費電流および消費電力を低減することができ、上述した駆動回路 1 1 に比べて I C の発熱を一層低減することができる。

【 0 0 8 7 】

（第 4 の実施形態）

次に、本発明の第 4 の実施形態について、駆動回路に用いられる比較回路の電氣的構成を示す図 8 を参照しながら説明する。

図 8 に示すように、本実施形態では、比較回路として図 1 に示すトランジスタ T 1 6 および定電流回路 C S 1 3 に代えてコンパレータ 3 6 が用いられる。このコンパレータ 3 6 の反転入力端子は、抵抗 R 2 5、R 2 6 からなる抵抗分圧回路の分圧点に接続され、非反転入力端子には、上述したオフ判定電圧に相当する一定電圧 V_c が与えられている。また、コンパレータ 3 6 の出力端子は、図 1 に示すトランジスタ T 1 5 のベースに接続されている。

【 0 0 8 8 】

この構成によれば、抵抗分圧回路の分圧比を変更することなく、オフ判定電圧 V_c を直接的に可変することができる。また、基準電圧として判定用トランジスタ T 1 6 のベース・エミッタ間電圧 V_f を用いる場合に比べ、比較電圧精度を高めることができる。

【 0 0 8 9 】

（その他の実施形態）

なお、本発明は上記し且つ図面に示す各実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

各駆動回路 1 1、2 5、3 3 は、M O S F E T に限らずバイポーラトランジスタや I G B T などのスイッチング素子を駆動可能である。また、各駆動回路 1 1、2 5、3 3 は、P チャネル型、N チャネル型、PNP 型、NPN 型の何れのスイッチング素子も駆動可能である。また、駆動回路 1 1、2 5、3 3 について、バイポーラトランジスタを用いて構成したが、M O S F E T を用いて構成しても良い。

【 0 0 9 0 】

第 3 の実施形態において、2 つの電圧検出回路 2 0 と 3 0 とを備えたが、一方例えば電圧検出回路 2 0 のみを設け、出力制御回路 3 4、3 5 は、この検出出力電圧 V_p に基づいて比較動作、論理動作およびプリドライブ動作を実行するように構成しても良い。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示す駆動回路の具体的な電氣的構成図

【図 2】

駆動回路の概略的な電氣的構成図

【図 3】

駆動回路 1 1 についての消費電流のシミュレーション波形図

【図 4】

駆動回路 1 についての消費電流のシミュレーション波形図

【図 5】

本発明の第 2 の実施形態を示す図 1 相当図

【図 6】

図 2 相当図

【図 7】

本発明の第 3 の実施形態を示す図 2 相当図

【図 8】

本発明の第 4 の実施形態を示す比較回路の電氣的構成図

【図 9】

従来構成を示す図 1 相当図

【図 1 0】

図 2 相当図

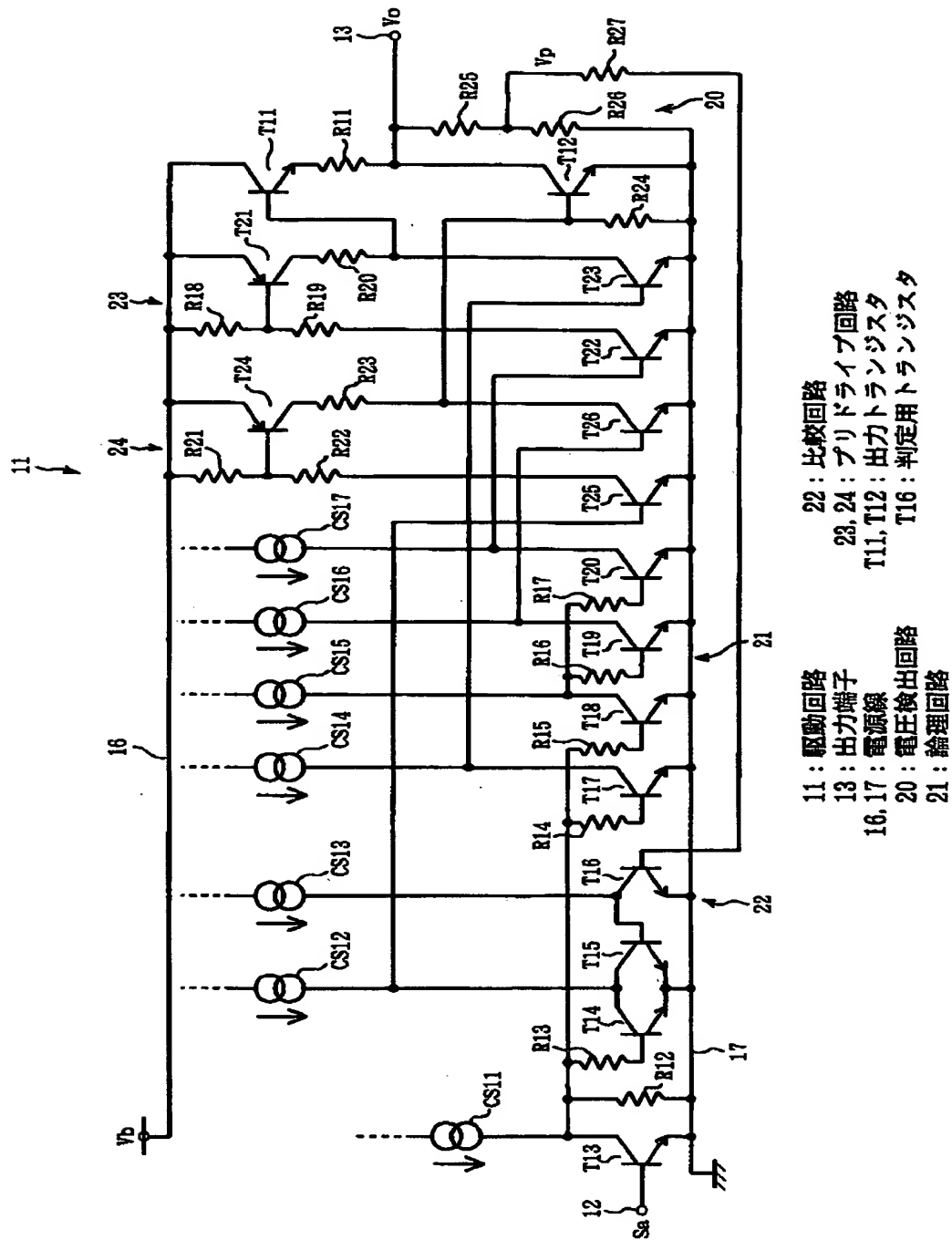
【符号の説明】

1 1、2 5、3 3 は駆動回路、1 3 は出力端子、1 4、2 6 は MOSFET (スイッチング素子)、1 6 は電源線、1 7 はグランド線 (電源線)、2 0、3

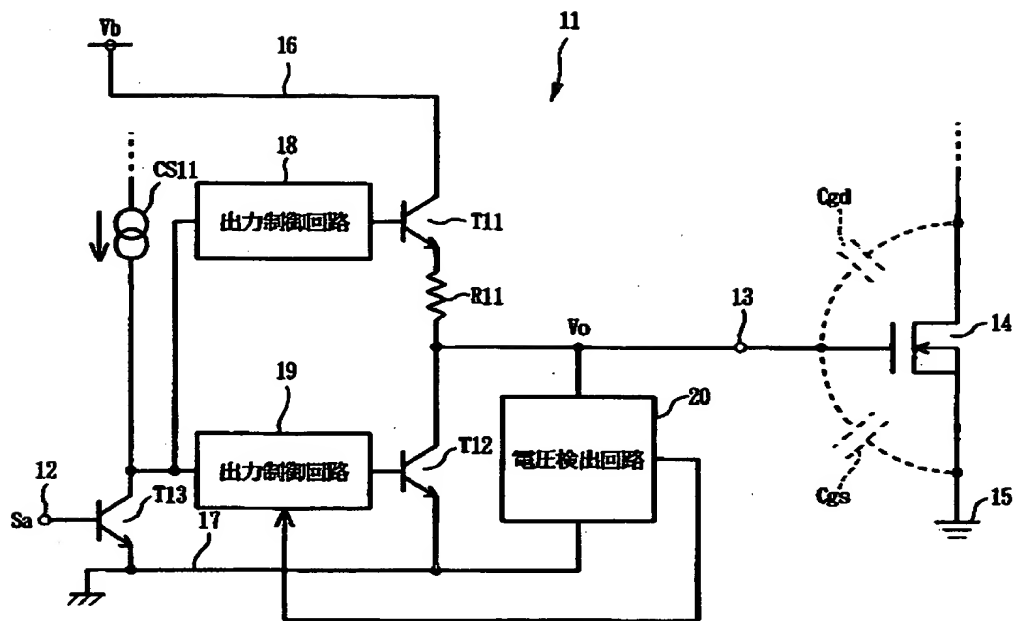
0 は電圧検出回路、2 1、3 1 は論理回路、2 2、3 2 は比較回路、2 3、2 4 はブリドライブ回路、T 1 1、T 1 2 はトランジスタ（出力トランジスタ）、T 1 6、T 2 9 はトランジスタ（判定用トランジスタ）、3 6 はコンパレータ（比較回路）である。

【書類名】 図面

【図 1】

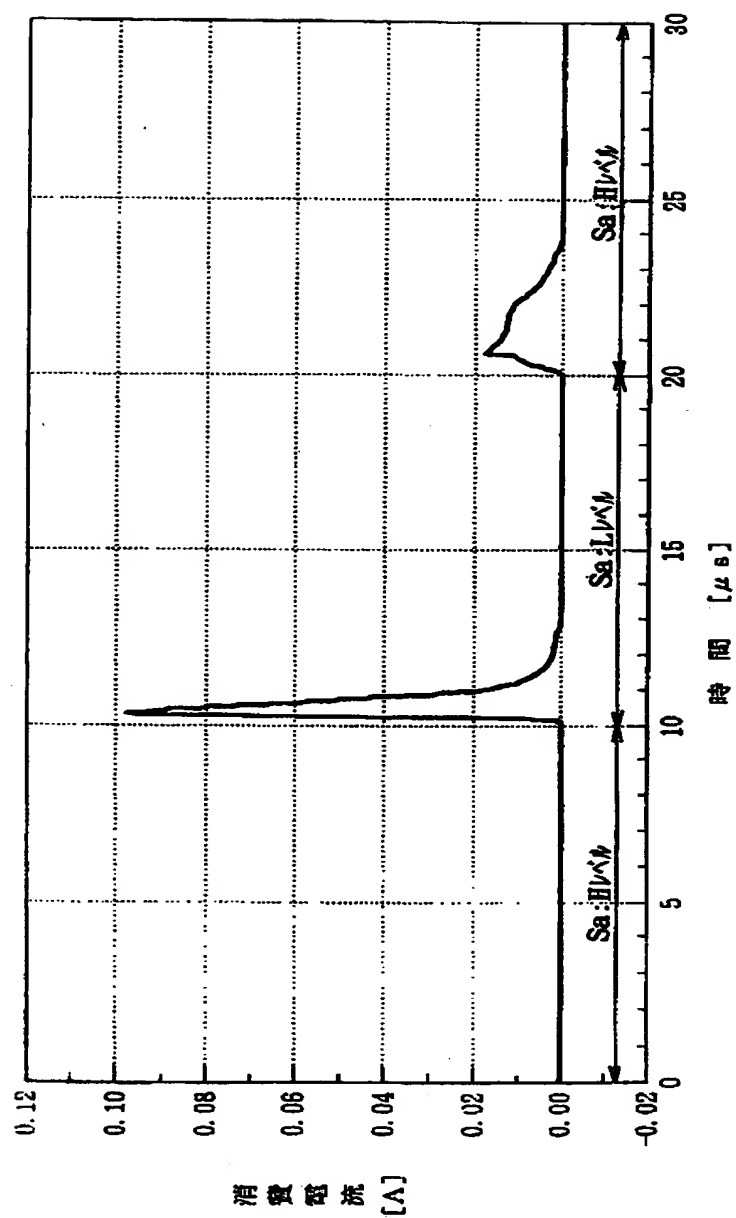


【図 2】

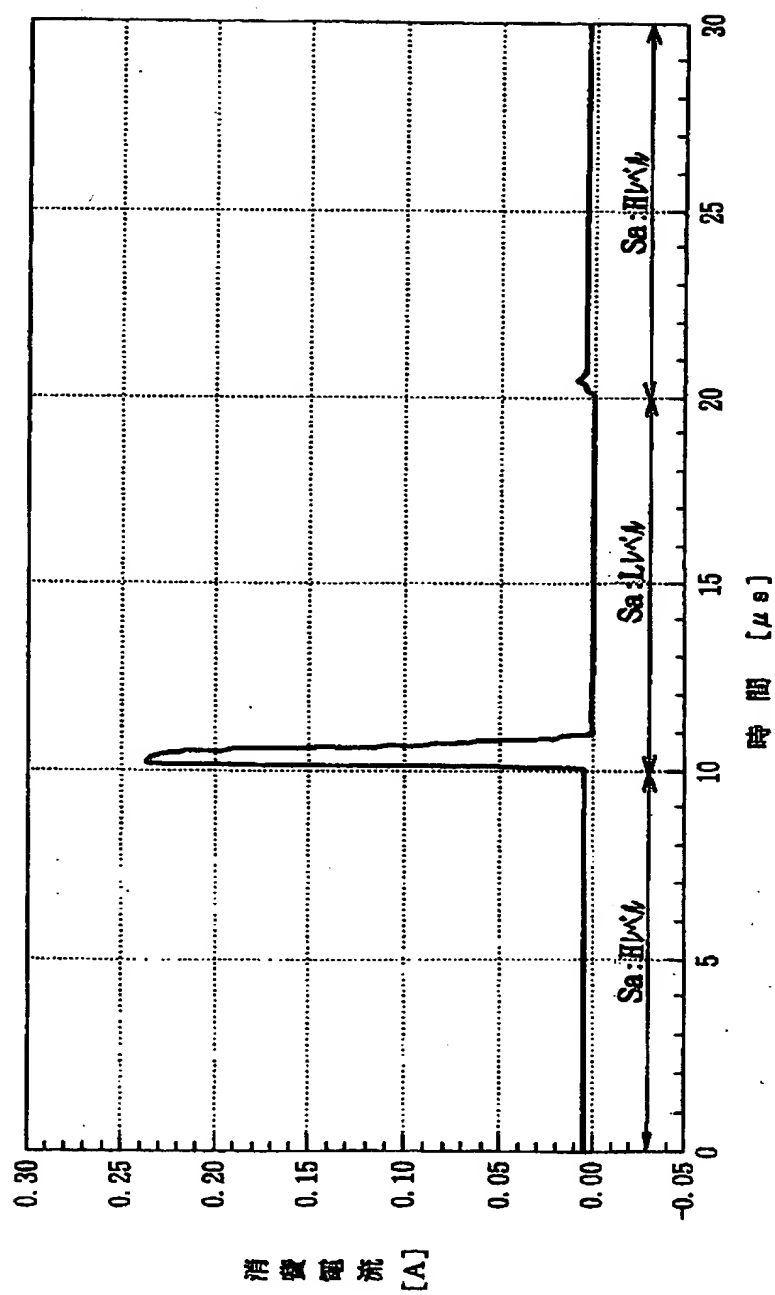


14: スイッチング素子

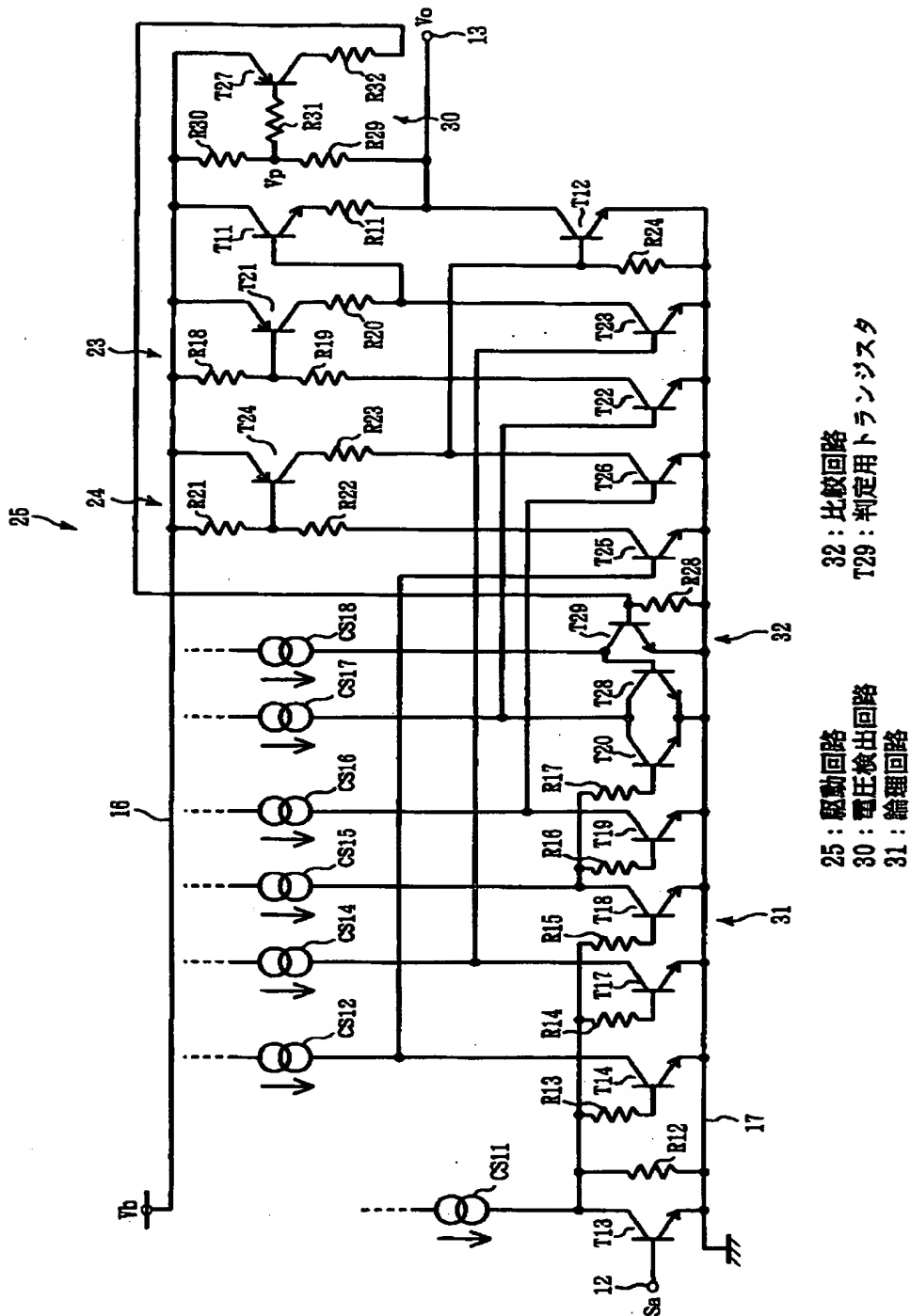
【図 3】



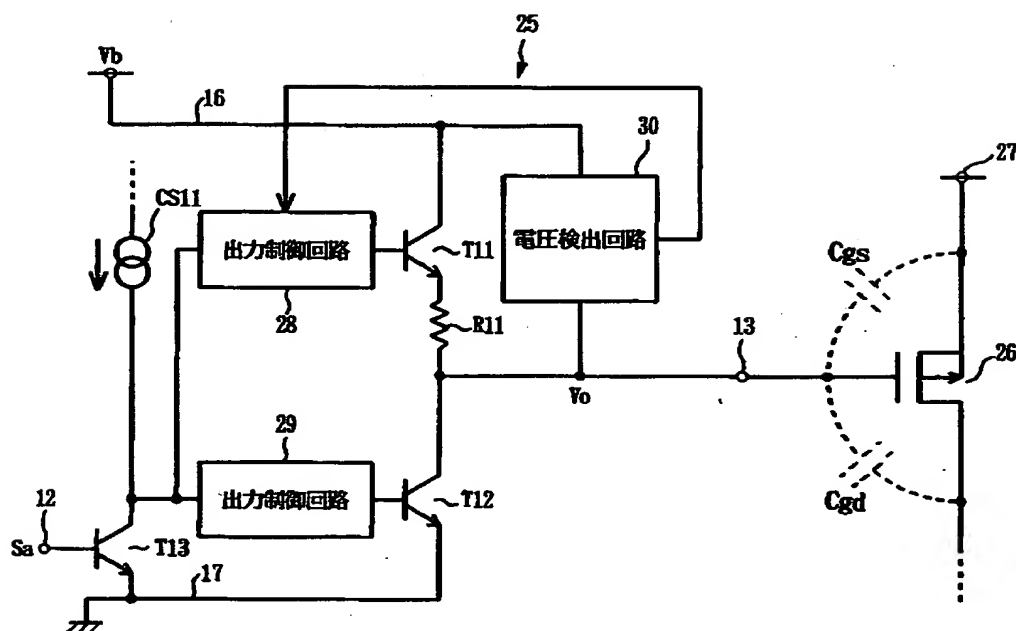
【図 4】



【図5】

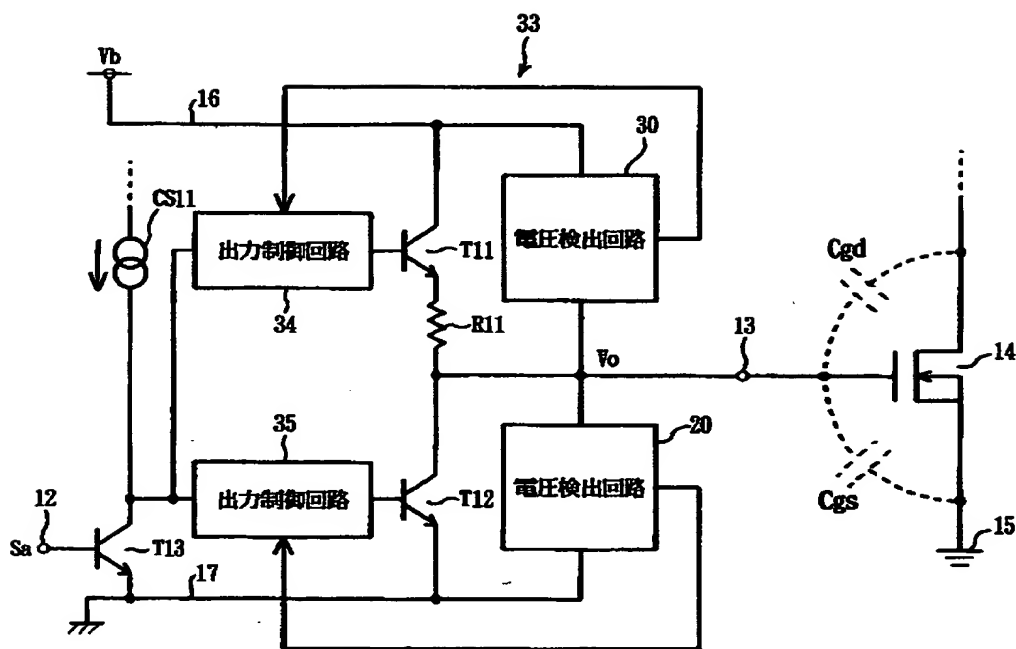


【図 6】



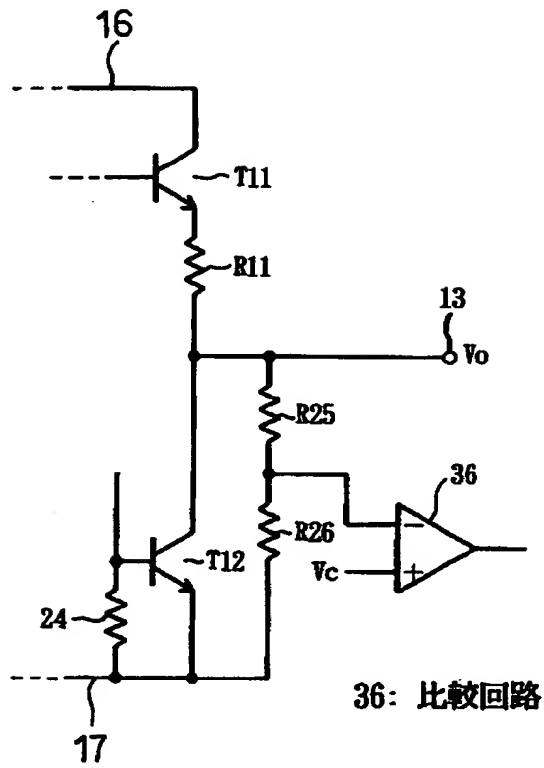
26: スイッチング素子

【図 7】

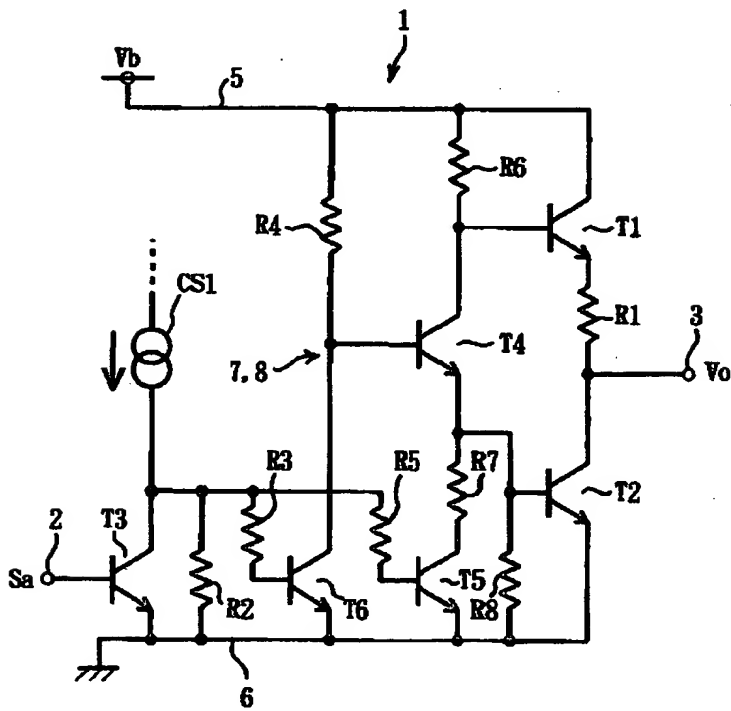


33 : 駆動回路

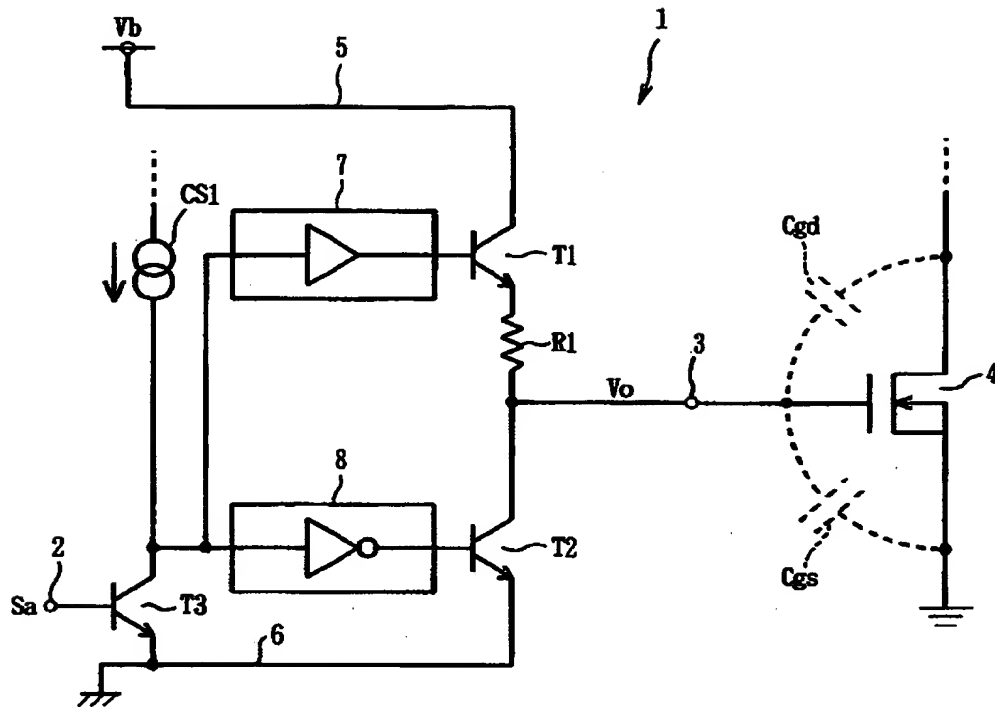
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 スイッチング素子のスイッチング速度を低下させることなく、自らの消費電力を低減すること。

【解決手段】 制御信号 S_a のレベルを L から H にして出力端子 13 に接続された MOSFET をオフさせる場合、電圧検出回路 20 により検出された出力端子 13 の電圧 V_o が MOSFET のしきい値電圧 V_{th} よりも低く設定されたオフ判定電圧 ($= (R_{25} + R_{26}) / R_{26} \cdot V_f$) 以上ある場合、プリドライブ回路 23 がオフ状態、プリドライブ回路 24 がオン状態となり、トランジスタ T_{11} がオフ、 T_{12} がオンとなる。このオフ駆動により電圧 V_o がオフ判定電圧よりも低下すると、プリドライブ回路 23、24 がともにオフ状態となり、トランジスタ T_{11} 、 T_{12} のベース電流がともにカットされる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004260]

1. 変更年月日	1996年10月 8日
[変更理由]	名称変更
住 所	愛知県刈谷市昭和町1丁目1番地
氏 名	株式会社デンソー